

模拟/混合信号仿真器



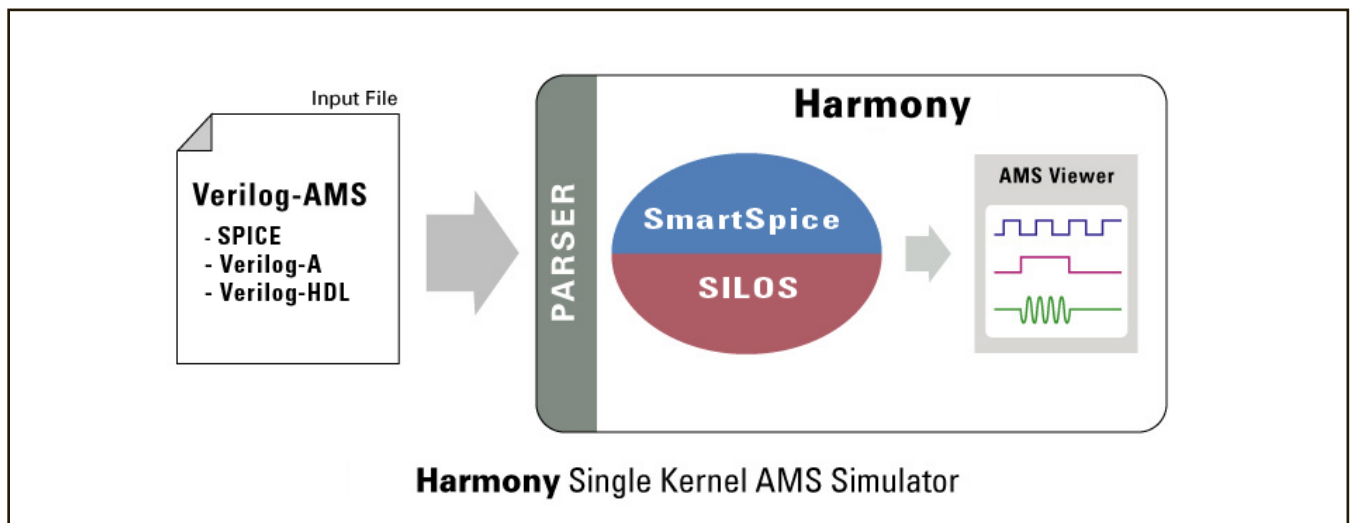
Harmony是一个单核心模拟/混合信号电路仿真器，它实时地动态连接SmartSpice 电路仿真器与SILOS Verilog 仿真器的功能。Harmony集高精度、高效能、大容量（可仿真大型电路）和灵活性于一身，仿真Verilog, SPICE, Verilog-A和Verilog-AMS形式的电路。

- 单核心引擎提供统一的混合信号初始化、同步化、收敛性和精确度
- 单一窗口检视和绘制功可同时用于模拟波形和数字波形
- 支持用于Verilog-AMS和Verilog-A的AAccellera 2.2标准，用于Verilog-HDL的IEEE 1364-2001标准和程序语言接口(PLI)，以及HSPICE™网表
- 为关键混合信号设计提供最精确的电路仿真结果及稳定的收敛性
- Silvaco强大的加密功能可以用来保护客户和第三方的知识产权



单核心架构

- 消除仅模拟和仅数字仿真之间的重复操作，以及未经验证合成模拟和数字电路行为便发布设计的风险
- 单核心仿真器动态地连接SmartSpice电路仿真器和SILOS Verilog仿真器的性能
- Harmony语言同步化使用Accellera 2.2 Verilog-AMS 的标准连接模块作为所有模拟信号到数字信号接口模块
- Harmony包括默认的连接模块，可满足设计者对于精确度、使用灵活性和速度的期望
- Harmony自动提供模拟和数字电路部分的时序同步
- 激发和响应的测试台可以是使用Verilog或SPICE语法的任何模拟和数字信号的组合
- 集成波形观察器以同样刻度显示模拟和数字波形



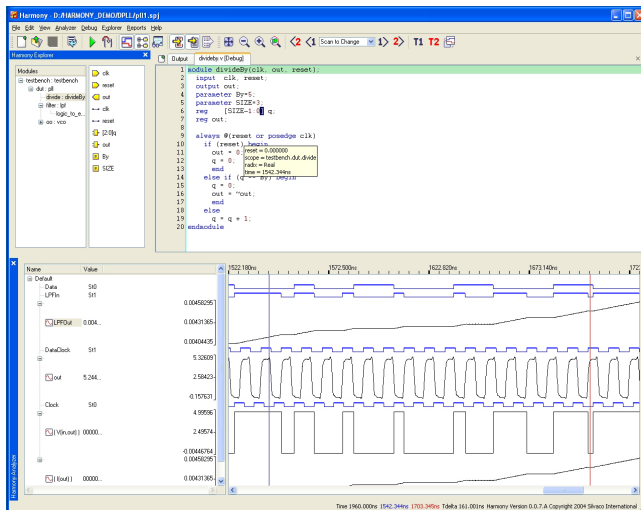
带有集成AMS检视器的Harmony模拟/混合信号仿真器

单语法解析器支持 Verilog和SPICE

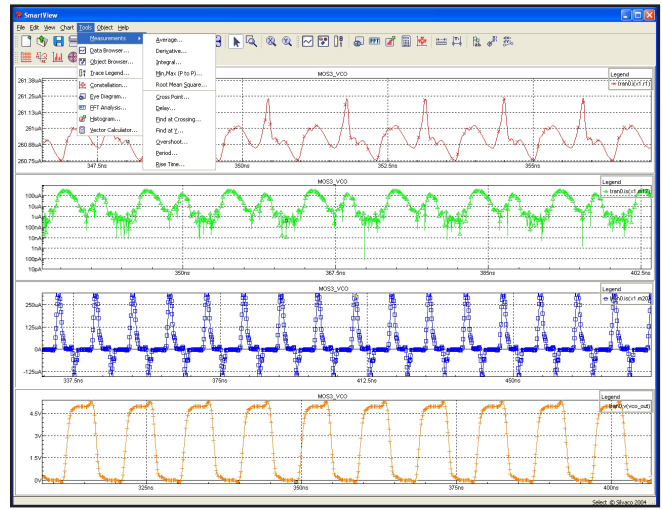
- Harmony语法解析器按照当前的Accellera Verilog-AMS 标准将模拟和数字模块划分到不同的仿真引擎
- 支持SPICE网表、选项、分析、Berkeley或HSPICE®格式的激发和响应
- Verilog-A语言支持通过行为建模的自上而下的设计和自下而上的验证
- Verilog-A 语言使得紧凑模型工程师能够容易地为特殊的半导体科技行为如泄漏、弱/亚阈操作等开发专有的模型
- 支持Verilog-HDL的IEEE-1364-2001标准及其编程语言接口(PLI)
- 通过SDF支持时序反向标注

单一视窗用于模拟和数字信号

- 易用的图形用户界面为新手和专家提供了高效的生产环境——被七种主要的Verilog教材选用
- 全面的项目管理器在文件中保存优先选择、设置、目录和选项，以用于有效的多项目设置
- 多视窗可定制数据分析器可控制平移缩放、时序标志、使用交互式拖放捕捉和显示模拟和数字信号和表达式的波形
- Harmony交互式环境实现了实时调用和对所有表达式、变量、模块、信号、矢量和寄存器的分析
- 一致的交互式方法用于信号选择、设置仿真时间量程、总线基数、状态窗口、时序标志、书签和总线定义
- SmartView提供完整的后处理工具用于综合曲线图、柱状图、矢量计算器，FFT分析和眼图绘制



源视窗中的数据提示显示了数据分析器中，在T1标记的时间点所选择的表达式的值、范围和时间



Harmony可存储任何层次子电路内的矢量，以用于SmartView的图形分析，包括标注眼图、分布图、FFT分析和矢量计算器

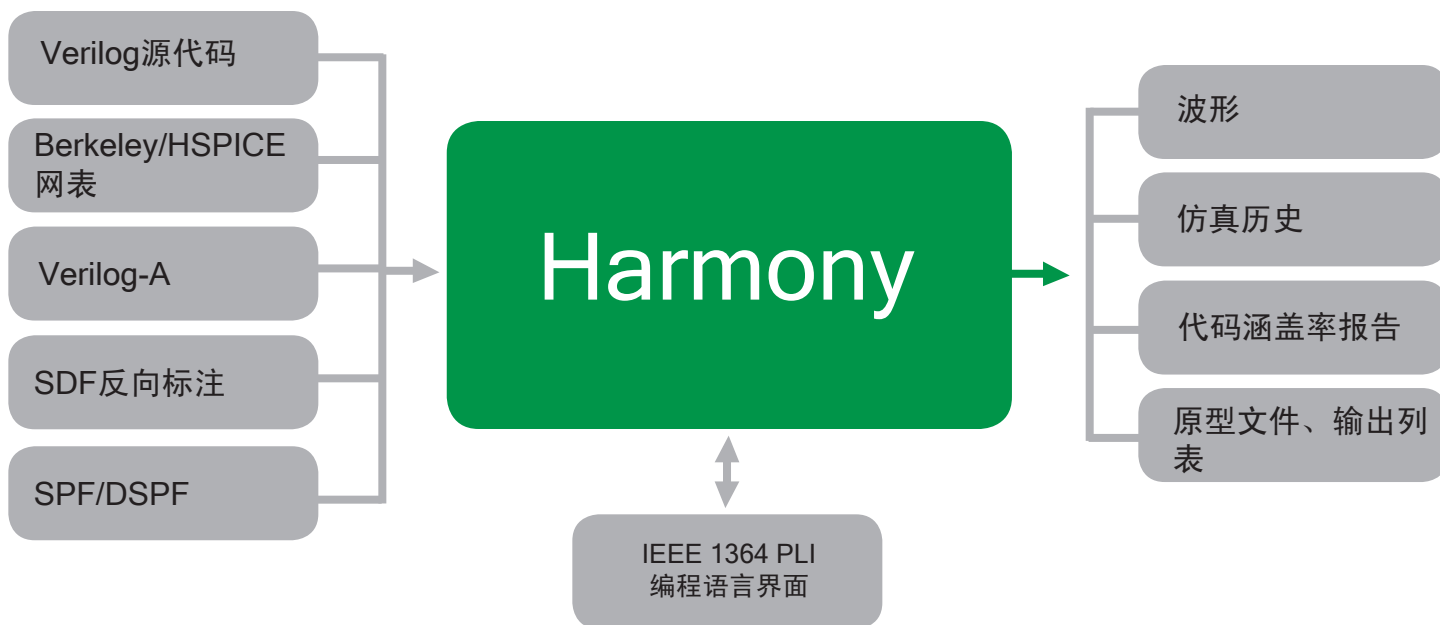
交互式调试环境

- 交互式、经解释的Verilog-AMS环境提供了一套多任务处理应用程序，用于编辑HDL源代码，设置递增中断点、步进或定时的仿真、实时检视和错误探测
- 多视窗可定制数据分析器可控制平移缩放、时序标记、使用交互的拖放捕捉以及显示模拟和数字信号和表达式的波形
- 追踪模式以图形化方式即刻追踪电路分级中所有级别的信号的扇出连接
- 查看视窗可在单一步进中显示或生成指定信号和变量的态值——为便于使用，所有设置均用拖放方式来完成
- 交互式源代码编辑器显示中止、起始和中断点的位置，显示数据提示来查看模拟和数字变量及表达式的值，以及显示Verilog代码涵盖率信息

模拟单元块的精确度、收敛性和性能

- 网表、模型、分析功能和结果与HSPICE™ 100% 兼容
- 为关键模拟电路设计提供最精确的电路仿真结果
- 大容量的SPICE电路仿真器——在32 bit 版本中可支持多达40万个有源器件，在64bit版本中可支持多达800万个有源器件
- 最快速的SPICE电路仿真器，并且是唯一支持多线程SPICE仿真器，可实现并行操作
- 使用多重求解程序和分步计算法则，有极好的收敛性
- 拥有最大的经过验证的SPICE模型集合，包括传统技术的模型（BJT、CMOS）和最新技术的模型（TFT、SOI、HBT、SiGe等）
- 混合电路中模拟网表的收敛性依赖于混合信号环境中模拟仿真器可用的多解算器和步进算法

Harmony 输入/输出



SILVACO

新加坡

Silvaco Singapore Pte Ltd

77 Science Park Drive, CINTECH III #03-10
Singapore Science Park I, Singapore 118256

Tel: +65-6872 3674

Fax: +65-6872 2497

Email: sgsales@silvaco.com

WWW.SILVACO.COM.CN

Rev 101410_17