

限于50个电路元件的全功能原理图编辑器



Gateway200是具有Gateway原理图编辑器全部功能的一个经济版本，适用于至多10个晶体管或总共50个电路原件的原理图。它是大学教师、学生或小型电路设计师的理想之选。Gateway200与SmartSpice、SmartSpice200、SmartSpiceRF、SILOS以及HSPICE完全整合。

Gateway200 适用于产品评估、教学以及培训。

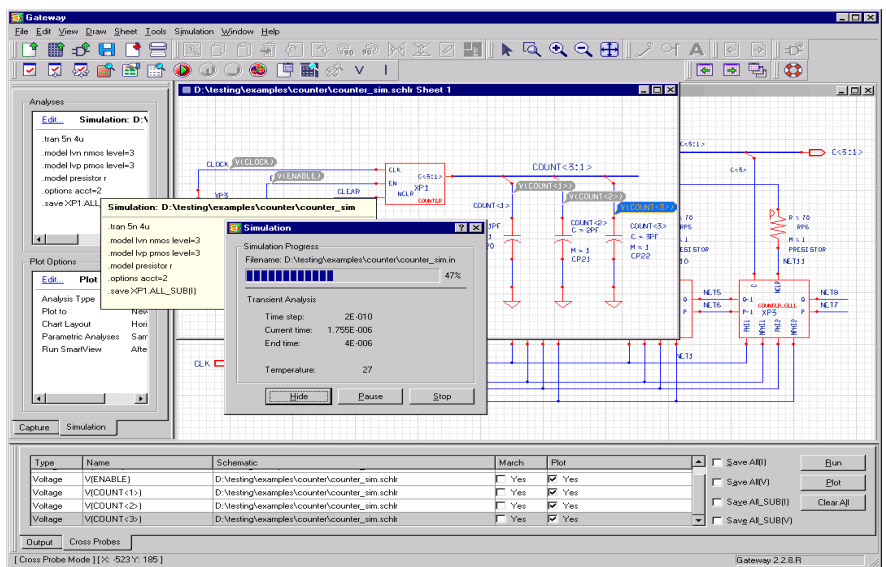
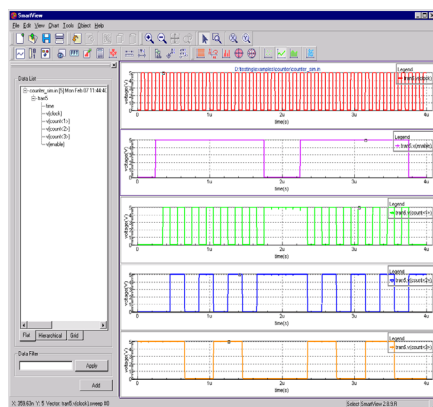


- 强大的原理图输入和编辑器功能可创建并完善多视图、多图表以及分层次IC设计
- 与SmartSpice电路仿真器无缝整合，为行为模型、交叉探测、波形显示和分析提供了一个交互式设计环境
- 可创建HSPICE兼容的输入档 (input deck)

功能齐全

- 易于新建图标、子电路、子原理图以及Verilog-A模型
- 为仿真、原理图驱动的版图以及LVS兼容性提供了全面的图标创建和编辑功能
- 用户可配置键可用于重复操作及模拟原有捕捉工具
- 全面的搜索和替换功能用于处理参数编辑、IP复用和交互式设计
- 对模块化、可重复使用的设计和库作分层次捕捉，并同时用于既有电路
- 强大的编辑区域功能以及线、总线、拆总线以及总线合并等功能
- 设计师可配置检查规则，以显示电子绘图违规和非法命名

Gateway200以交叉式探测、行进式波形、分析选项和优化为分层次设计提供了一个前端



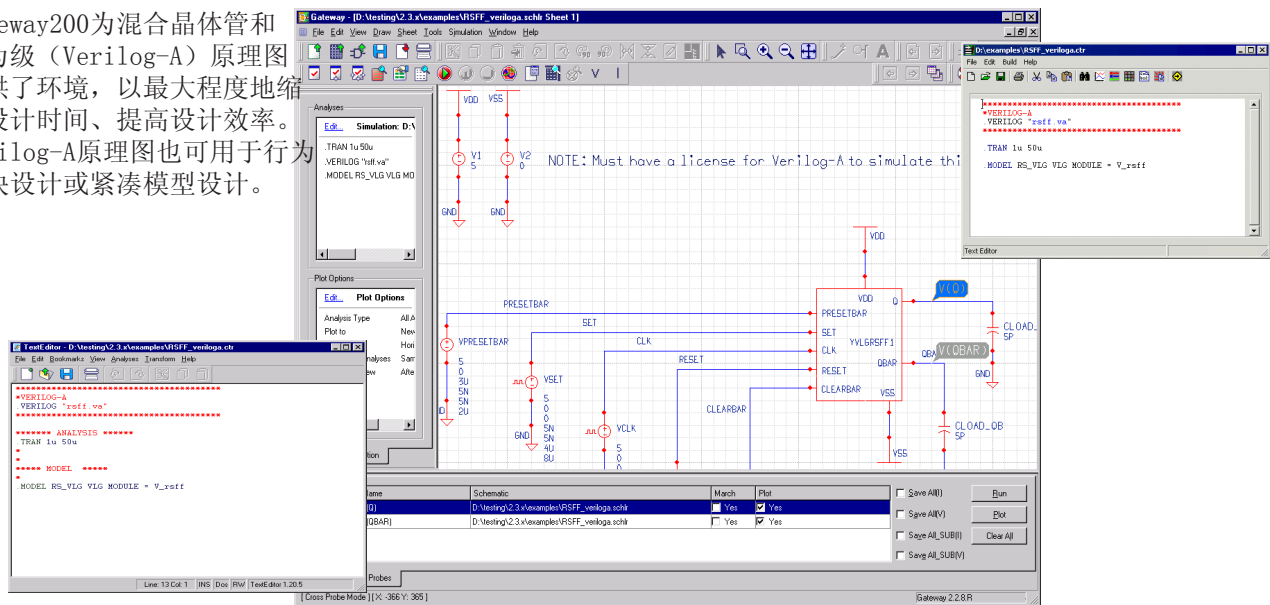
易用性

- 直观的从左至右的设计顺序、工具提示以及批模式仿真控制对新老设计师均简单易用
- 采用EDIF（电子设计交换格式）导入既有数据以及建立带有多个库文件的多用户环境均很容易
- 提供新用户“帮助”功能和工具提示
- 最小/最大参数检查消除了输入误差
- 支持线至线、线至引脚、按线名以及隐式/全球连接

集成的定制IC设计平台

- 提供定制模拟电路的前端至后端设计自动化解决方案
- 以经验证的反馈流程来连接Silvaco行为建模、原理图、电路仿真版图、LVS(版图vs. 原理图)以及寄生参数提取
- 与SmartView的图形化波形后处理器 (Graphical Waveform Postprocessor) 整合, 用矢量计算器来完成延迟、斜率、过冲、上升时间和眼图的叠加测量
- 原理图和后处理之间强大的交叉探测功能提供了实时设计反馈
- 实时回调计算用于评估设计规则、方差、参数计算和工艺偏移
- 显示整个分层次设计中的DC偏流与偏压

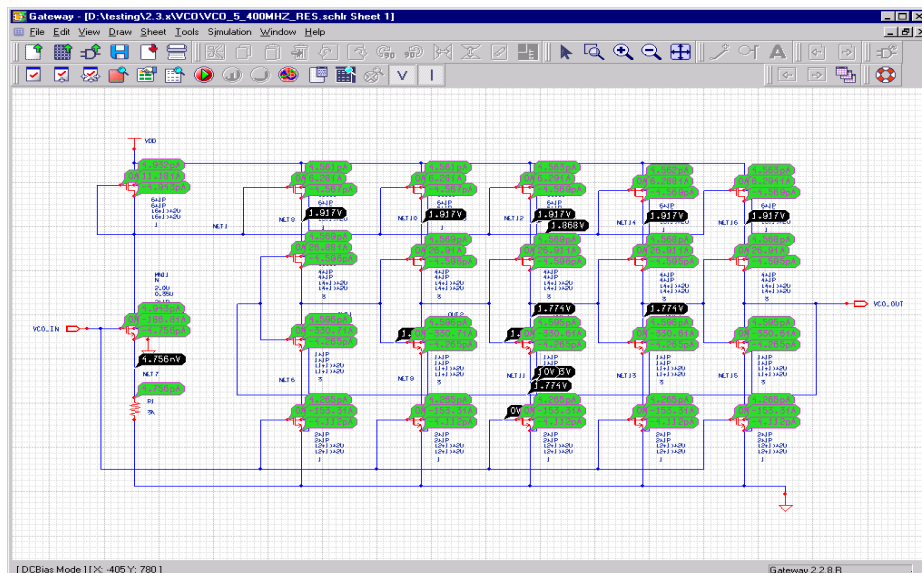
Gateway200为混合晶体管和行级 (Verilog-A) 原理图提供了环境, 以最大程度地缩短设计时间、提高设计效率。Verilog-A原理图也可用于行为模块设计或紧凑模型设计。



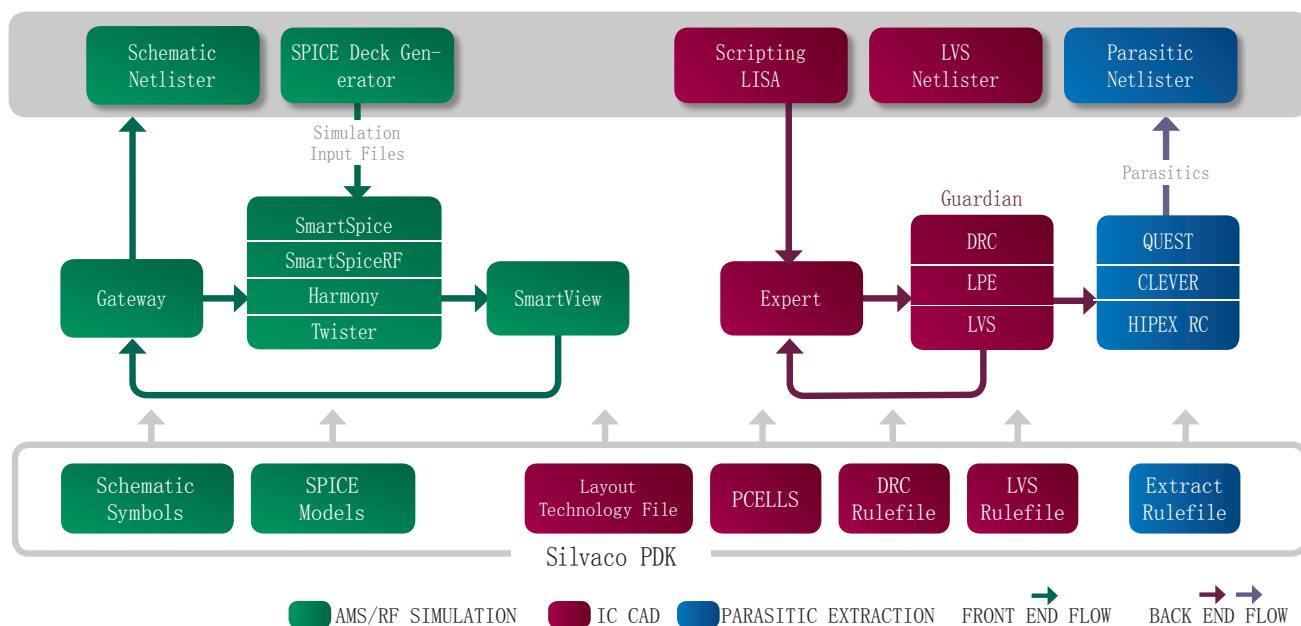
高效的设计流程

- 以多视窗方式生成版图、仿真和LVS, 以提供设计的完整性和平滑投片 (tapeout)
- 表格数据输入、网表导入、EDIF读取器和自动符号生成等功能使既有电路的重复使用更为便捷
- 支持设计套件中图标背后的加密网表, 以用于IP分布
- 行进式波形可实时检视仿真结果, 特别是长时间的仿真
- 可有效控制原理图、仿真和分析之间的设计流程
- 可标出错误, 并放大/缩小在原理图上的位置/级别, 以作修改

分层次和平坦式绘图中的DC偏流与偏压



设计流程管理



全定制IC设计平台

SILVACO

新加坡

Silvaco Singapore Pte Ltd

77 Science Park Drive, CINTECH III #03-10
Singapore Science Park I, Singapore 118256

Tel: +65-6872 3674

Fax: +65-6872 2497

Email: sgsales@silvaco.com

WWW.SILVACO.COM.CN

Rev. 040510_02