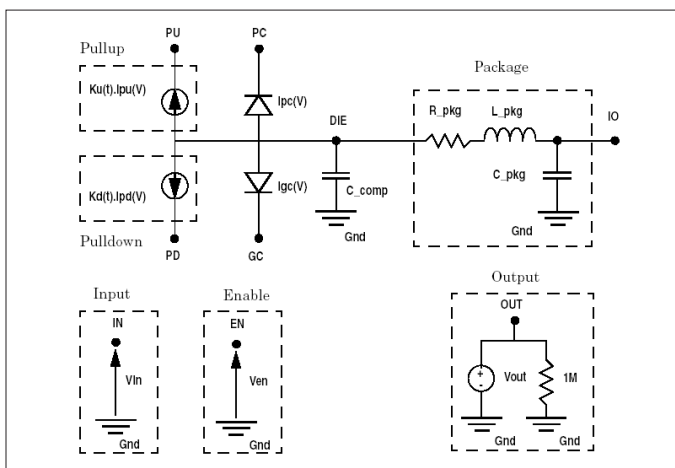


IBIS 支持工具

输入/输出缓冲器接口规范

SmartSpice支持IBIS模型，使得半导体元件供应商能够为集成电路产品提供 SPICE高精度输入/输出（I/O）缓冲器模型，而无需透露SPICE参数和晶体管网表。IBIS模型支持工具使得PCB和系统设计师们在使用SmartSpice和半导体供应商所提供的IBIS模型时，能够精确模拟信号集成所需的高速互连。



SmartSpice中IBIS器件通用电路图

主要特性

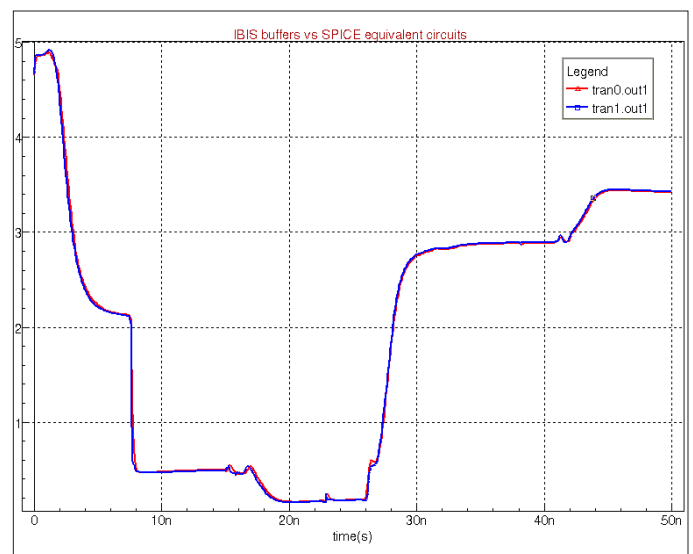
- 使半导体元件供应商能够为集成电路产品提供 SPICE高精度输入/输出缓冲器模型，而无需透露SPICE参数和晶体管网表
- 使PCB和系统设计师们在使用SmartSpice和半导体供应商所提供的IBIS模型时，能够精确模拟信号集成所需的高速互连
- 为典型条件、最低条件和最高条件提供数据，允许最差情况/最好情况分析
- 为系统检验而进行的波长和计时分析提供大量信息
- Silvaco的IBIS模型支持大多数普通输入/输出结构：Input、Input_ECL、I/O、I/O_open_drain、I/O_open_sink、I/O_open_source、I/O_ECL、Output、Open_drain、Open_sink、Open_source、Output_ECL、3-state、3-state_ECL 和Terminator
- 可应用于高速接口（>600兆赫）设计所需的大多数数字元件
- 与2004年1月的IBIS公开论坛发表的V4.1版规格兼容

IBIS模型相对于SPICE模型的优势

- 模拟速度可比晶体管级模型（等效SPICE电路）快10至100倍
- 与晶体管级模型一样具有高精度
- 主要集成电路制造商和EDA工具供应商的标准化努力使其具有可移植性
- 模型可从制造商的网站下载获得（可替代SPICE模型）
- 受多个商用及免费软件支持，并有模型验证方法支持

Silvaco的IBIS模型支持工具的兼容特性

- 由IBIS公开论坛于2004年1月发表的最新规格v4.1版已在SmartSpice中得到实现
- IBIS数据使用原始格式（无需像在其他EDA工具中需将模型转变成专有建模格式）

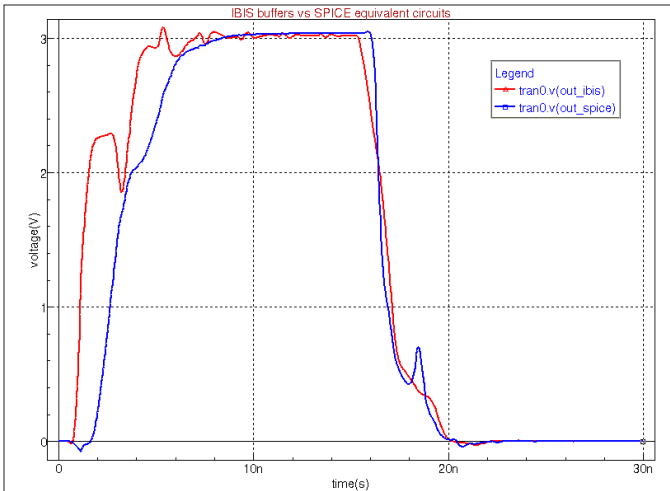


IBIS模型验证与SPICE结果（驱动缓冲电压）

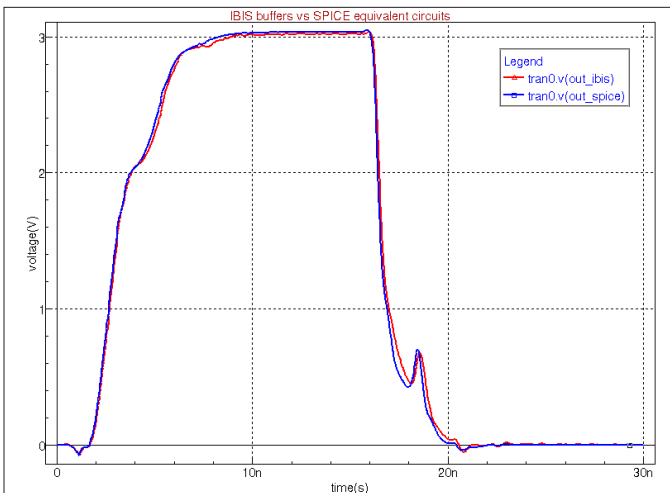
SILVACO

Silvaco的IBIS支持工具精确度

- 支持双波形插值算法，以提供独立于负载条件的最高精确度
- 对超频缓冲器保持高精度（当时钟周期比V-t曲线长度短的时候）
- 错配自动更正算法用以抵销V-t曲线终点和IV曲线上的相应操作点之间的差异



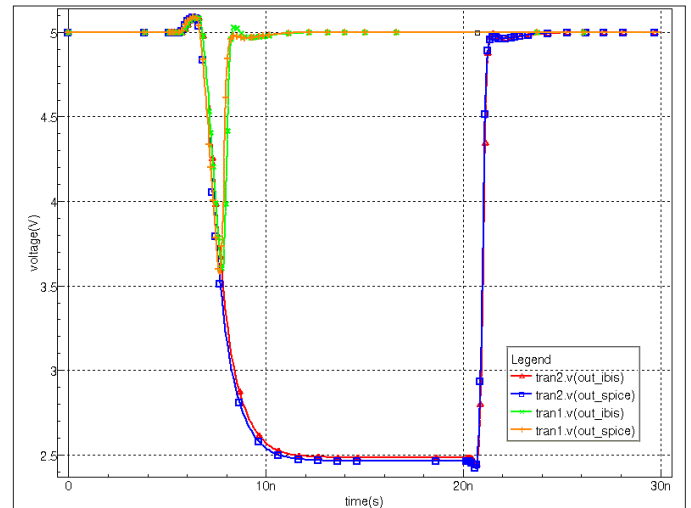
带有一个V-t曲线插值格式时，精确度受损



对两个V-t曲线插值格式保持着完好的精确度

使用简便

- 单个缓冲器和元件可由内部电压源或外部电压源（或更为复杂的电路）来提供以进行SSO模拟
- 多余的终端可用以控制或反映缓冲器的逻辑状态（IN和EN表示输入，OUT表示输出）
- 单一的B-指令可以用来创建一个单独缓冲器或整个组件
- 内部变量，如乘数 $ku(t)/kd(t)$ 和终端电流，可以使用标准语法 @ Bname [变量_名称] 来进行保存、印刷、制图和/或测量
- 可使用VZERO方案获得进一步提速，特别是同时包含IBIS缓冲器和分立器件（例如BSIM3v3晶体管）的网表



IBIS模型对超频缓冲器保持着完好的精确度

数字系统信号完整性分析的新兴标准

IBIS为集成电路的输入/输出模拟特性的电子行为规范提供了一个标准（ANSI/EIA-656 和 IEC 62 014-1）。它是由EDA厂商、半导体制造商和终端用户——IBIS公开论坛（附属于电子工业联盟 EIA）共同开发而成。

IBIS提供纯文本ASCII文件形式的格式化的数据，以用于数字系统的高速设计，并允许用户评估信号完整性（SI）和印刷电路板（PCB）的传输线的问题：

- 电子信号变形
- 串音
- 振铃、过冲、下冲
- 同步开关输出（SSO）效应
- 电源/接地反弹
- 阻抗失配
- 线路终端分析
- 反射
- 拓扑方案分析
- 设计规则生成
- 板级（Board-level）仿真

IBIS的完整规格、幻灯片、文章和软件工具（包括对大多数平台适用的黄金分析器可执行文件），可于<http://www.eigroup.org/ibis>网站下载。

SILVACO

Rev. 101807_03